

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **57106260 A**(43) Date of publication of application: **02.07.82**

(51) Int. Cl.

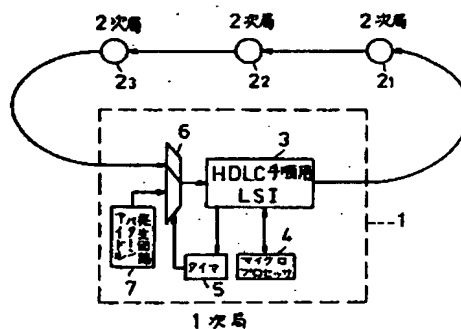
H04L 11/00
// H04L 13/00
(21) Application number: **55182287**(22) Date of filing: **23.12.80**(71) Applicant: **FUJITSU LTD NIPPON
TELEGR & TELEPH CORP <NTT>**(72) Inventor: **HONDA YOSUKE
SUZUKI TAKASHI
KAIYAMA AKIRA
OMIYA TOMOKI**(54) **LOOP TRANSMISSION SYSTEM**

COPYRIGHT: (C)1982,JPO&Japio

(57) Abstract:

PURPOSE: To reduce the load of a primary station to simplify the processing for transmission, by converting the transmission signal of the primary station to an idle pattern before leading this signal into the primary station when this signal is returned to the primary station.

CONSTITUTION: When a primary station 1 transmits a polling signal by the command from a CPU4, an idle pattern and the transmission signal are supplied to secondary stations 2₁~2₃ through a loop transmission line and are taken into prescribed secondary stations corresponding to addresses and are returned to the station 1 through the transmission line. Then, a timer 5 is operated at the transmission start time in the station 1 to switch a switch 6 to the side of an idle pattern generating circuit 7 for a constant time. Thus, the receiving circuit of an LSI 3 is disconnected from the transmission line, and the idle pattern from the circuit 7 is supplied to the receiving circuit. Consequently, the signal returned to stations 2₁~2₃ is converted to the idle pattern equivalently.



BEST AVAILABLE COPY

⑫ 公開特許公報 (A)

昭57—106260

⑤ Int. Cl.³
H 04 L 11/00
// H 04 L 13/00

識別記号

庁内整理番号
7230—5K
6372—5K

⑬ 公開 昭和57年(1982)7月2日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ ループ伝送方式

① 特 願 昭55—182287

② 出 願 昭55(1980)12月23日

⑦ 発 明 者 本田洋介
川崎市中原区上小田中1015番地
富士通株式会社内

⑧ 発 明 者 鈴木敬
川崎市中原区上小田中1015番地
富士通株式会社内

⑨ 発 明 者 貝山明

⑦ 発 明 者 大宮知己
武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

⑧ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地

⑨ 出 願 人 日本電信電話公社

⑩ 代 理 人 弁理士 松岡宏四郎

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

明 細 書

1. 発明の名称

ループ伝送方式

2. 特許請求の範囲

チャネル多重化方式のループ状伝送路上に1つの1次局と複数の2次局とを持ち、ループ伝送する方式において、該1次局が送出した信号が該ループ状伝送路を一周して該1次局に戻ってきた時、該信号を該1次局の受信回路に引込む前に該信号を強制的にアイドルパターンに変換する手段を設けたことを特徴とするループ伝送方式。

3. 発明の詳細な説明

本発明はループ伝送方式に係り、特に、チャネル多重化方式のループ状伝送路上で不平衡形マルチドロップボーリング形式のHDLC (ハイレベル・データリンク制御) 手順を実現する方式に関する。

チャネル多重方式のループ状伝送路上に1つの1次局と複数の2次局とを設け、1次局から各2次局に周期的にボーリングをかけ、各2次局から

夫々に応じた応答を1次局に送信する不平衡形マルチドロップボーリング形式のデータ伝送方式がある。このものは、一般に、第1図に示す如き多数のタイムスロットに信号を多重化したループ状伝送路を用い、このうちの1タイムスロット F1 (F1) を HDLC 手順の信号制御用として用いるブートバンドコード共通線形式を考える。

この HDLC 手順用の信号には1次局が各2次局をボーリングするため送信する信号及び各2次局が1次局に回答するため送信する信号があり、1次局から各2次局への送信信号及び各2次局から1次局への送信信号にはいずれの2次局へのボーリング及びいずれの2次局からの応答かを識別するための各2次局に対応したアドレスを付加されている。一方、1次局から各2次局へ送信した信号は該当の2次局で読込まれた後スルーで再び1次局に戻されるため、アドレスが各2次局だけに対応して設けられていると、1次局で受信する際、1次局が送信して1次局に再び戻された信号か2次局が送信した信号かを判別できない。

そこで、従来、上記のアドレスを示すための8ビットからなるアドレスパートの1ビットを用いて1次局送信或いは2次局送信を識別するための1次局/2次局識別信号を付加していた。このため、従来の方式では、この1次局/2次局識別信号を付加する手段及びこれらを判読するための手段が必要であり、構成が複雑になる欠点があった。

本発明の目的は、1次局が送出した信号が1次局に戻ってきたとき、この信号を1次局に引込む前にこの信号をアイドルパターンに変換して無視する構成とすることにより、1次局において1次局が送信した信号及び2次局が送信した信号を夫々識別する手段を必要とせず、簡単な構成のループ伝送方式を提供するにある。

第2図は本発明になるループ伝送方式の一実施例の概略図を示す。同図において、1次局1及び3つの2次局2₁、2₂、2₃にてチャネル多重化方式のループ状伝送路が構成されており、1次局1にはHDLC手順用LSI3、LSI3を制御するマイクロプロセッサ4、1次局1の送信開始から一定期

間の指令に従ってポーリングのための信号を送出すると、アイドルパターンと送信信号とはループ状伝送路を介して2次局2₁～2₃に供給され、アドレスに夫々対応した所定の2次局に取り込まれた後、スルーで再びループ状伝送路を介して1次局1に戻される。この際、1次局1では送信開始時からタイマ5が作動し、一定期間(送信信号を送信開始した時から送信信号が全て1次局1に戻される迄の期間、例えば125μsec程度)スイッチ6をアイドルパターン発生回路7側に切換える。

これにより、LSI3の受信回路はループ状伝送路から切離されてアイドルパターン発生回路7からのアイドルパターンを供給され、即ち、1次局1が送信して2次局2₁～2₃から戻された信号はアイドルパターンに変換されたことになり、従って、LSI3は上記信号を受付けないことになる。

上記一定期間が経過すると、スイッチ6は再びループ状伝送路側に切換わる一方、LSI3内のアイドルパターン発生器からアイドルパターンがループ状伝送路に流れる。ここで、2次局2₁～2₃

間をカウントするタイマ5、タイマ5にて切換え統される切換スイッチ6、スイッチ6の切換えによつてLSI3にアイドルパターンを供給するアイドルパターン発生回路7が設けられている。なお、LSI3は1次局1が送信して2次局2₁～2₃より1次局1に戻される信号を処理する必要がないため、LSI3の受信回路にアイドルパターンを供給されることによつては外部からの割込みを受けないように構成されたものである。又、1次局1が2次局2₁～2₃をポーリングするための信号を送信してこれが再び1次局1に戻されるタイミング、2次局2₁～2₃が1次局1に返答するタイミングは夫々時分的に別々になるように設定されている。

次に上記方式の動作について説明する。

1次局1及び2次局2₁～2₃ともに信号の送信を行なっていない状態においては、LSI3に設けられているアイドルパターン発生器(図示せず)よりアイドルパターンがとり出され、ループ状伝送路上に単にアイドルパターンが流れている。

ここで、1次局1がマイクロプロセッサ4から

からの返答の信号がアイドルパターンと共にLSI3に供給されると、LSI3はアイドルパターンのみを受信して2次局2₁～2₃からの送信信号を取込み、マイクロプロセッサ4からの指令に従ってこれら进行处理する。

なお、上記実施例はLSI3が送信を開始した時からタイマ5を作動させてLSI3の受信回路にアイドルパターンを供給するものであるが、これに限定されることはなく、例えば送信信号開始時から一定時間経過後送信信号が全てLSI3の受信回路に戻ってくる迄にアイドルパターンを供給するようにしてもよく、即ち、1次局1が送出した信号がループ状伝送路を一周して1次局1に戻ってきた時、この信号を1次局1の受信回路に引込む前にこの信号を強制的にアイドルパターンに変換するように構成されていればよい。

上述の如く、本発明によれば、1次局が送出した信号が再び1次局に戻ってきた時、この信号を1次局の受信回路に引込む前に強制的にアイドルパターンに変換するため、1次局において1次局

が送信して戻ってきた信号か2次局が送信した信号かを識別する必要がなく、1次局の負荷を軽減し得、又、信号のアドレス部分にこれらを識別するためのビットを設ける必要がなく、更に、送信時の処理も簡単になる等の効果がある。

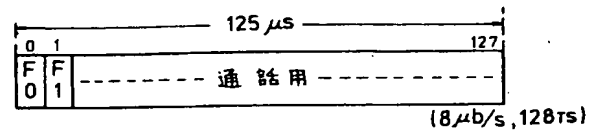
4. 図面の簡単な説明

第1図はループ状伝送路上に多重化されて送られる信号の模式図、第2図は本発明方式の概略図である。

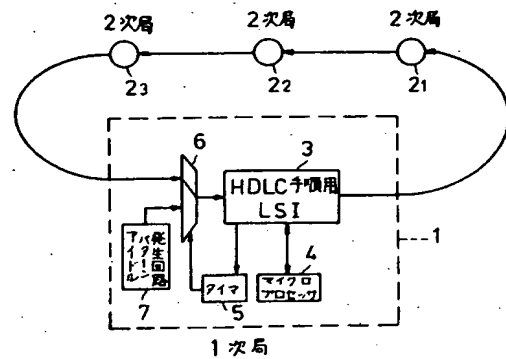
1…1次局、2₁～2₅…2次局、3…ハイレベル・データリンク制御手順用回路(LSI)、5…タイマ、6…切換スイッチ、7…アイドルパターン発生回路。

特許出願人 富士通株式会社
同 日本電信電話公社
代理人 弁理士 松岡 宏四郎

第1図



第2図



BEST AVAILABLE COPY